

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-051287

(43)Date of publication of application : 20.02.1998

(51)Int.Cl.

H03K 17/78

(21)Application number : 08-207232

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.08.1996

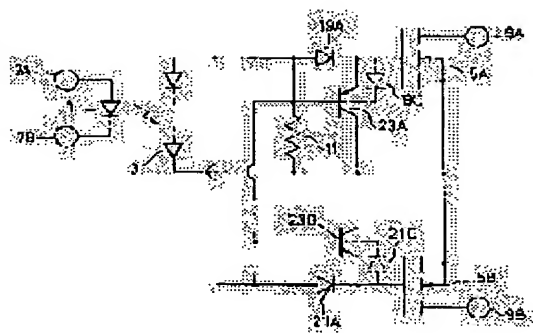
(72)Inventor : OKUMURA SENYA

## (54) SEMICONDUCTOR RELAY CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide the low-output capacitance type semiconductor relay circuit, suitable for controlling high-frequency signals without incurring a cost increase.

SOLUTION: The output capacitance of a 1st output field effect transistor(TR) 5A and a 2nd output field effect TR 5B is reduced by realizing the configuration that a 1st PNP bipolar junction TR 23A, a 2nd PNP bipolar junction TR 23B, a 1st diode 19A and a 2nd diode 21A which configure a discharge circuit act like a simultaneous anti-parallel diode connection to respective gates of the 1st output field effect TR 5A and the 2nd output field effect TR 5B.



## LEGAL STATUS

[Date of request for examination] 14.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3564235

[Date of registration] 11.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*This Page Blank (uspto)*

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-51287

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 17/78

H 0 3 K 17/78

J

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号

特願平8-207232

(22) 出願日

平成8年(1996) 8月6日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 奥村 仙也

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

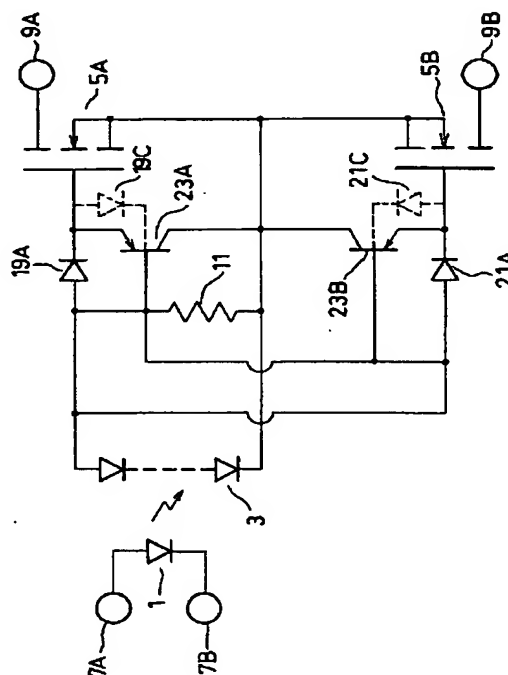
(74) 代理人 弁理士 三好 秀和 (外 3 名)

(54) 【発明の名称】 半導体リレー回路

(57) 【要約】

【課題】 コストアップを招くことのない高周波信号の制御に適した低出力容量型の半導体リレー回路を提供することを課題とする。

【解決手段】 放電回路を構成する第1のpnp型バイポーラ接合トランジスタ23A、第2のpnp型バイポーラ接合トランジスタ23B、第1のダイオード19A及び第2ダイオード21Aが、同時に、第1の出力用電界効果トランジスタ5A及び第2の出力用電界効果トランジスタ5Bそれぞれのゲートに逆並列のダイオードが接続される構成を実現することにより、第1の出力用電界効果トランジスタ5A及び第2の出力用電界効果トランジスタ5Bの出力容量を小さくする。



1

## 【特許請求の範囲】

【請求項 1】 入力信号により光信号を発生する発光ダイオードと、前記光信号を受光して光起電力を発生するフォトダイオードアレイと、前記フォトダイオードアレイのアノードにゲートが接続され、カソードにソースが接続された第 1 の出力用電界効果トランジスタと、前記フォトダイオードアレイのアノードにゲートが接続され、カソードにソースが接続された第 2 の出力用電界効果トランジスタと、前記第 1 の出力用電界効果トランジスタのゲートにエミッタが接続され、ソースにコレクタが接続された第 1 の p n p 型バイポーラ接合トランジスタと、前記第 2 の出力用電界効果トランジスタのゲートにエミッタが接続され、ソースにコレクタが接続された第 2 の p n p 型バイポーラ接合トランジスタと、前記第 1 の p n p 型バイポーラ接合トランジスタ及び前記第 2 の p n p 型バイポーラ接合トランジスタのベースと前記第 1 の p n p 型バイポーラ接合トランジスタ及び前記第 2 の p n p 型バイポーラ接合トランジスタのコレクタとの間に接続された抵抗性インピーダンス要素と、前記第 1 の p n p 型バイポーラ接合トランジスタのベースにアノードが接続され、エミッタにカソードが接続された第 1 のダイオードと、前記第 2 の p n p 型バイポーラ接合トランジスタのベースにアノードが接続され、エミッタにカソードが接続された第 2 のダイオードとを有することを特徴とする半導体リレー回路。

【請求項 2】 前記半導体リレー回路は、前記発光ダイオードを含む第 1 のチップと、前記前記フォトダイオードアレイ、前記第 1 の p n p 型バイポーラ接合トランジスタ、前記第 2 の p n p 型バイポーラ接合トランジスタ、前記抵抗性インピーダンス要素、前記第 1 のダイオード及び前記第 2 のダイオードを含む第 2 のチップと、前記第 1 の出力用電界効果トランジスタ及び前記第 2 の出力用電界効果トランジスタを含む第 3 のチップとから構成されることを特徴とする請求項 1 記載の半導体リレー回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、入力信号を発光ダイオードによって光信号に変換し、その光信号を発光ダイオードと光結合されたフォトダイオードアレイによって電気信号に変換し、その電気信号によって出力用の MOS 電界効果型トランジスタを駆動させ、出力用接点信号を得るようにした半導体リレー回路に関し、特に、高周波信号の制御に適した低出力容量型の半導体リレー回路に関する。

## 【0002】

【従来の技術】従来、この種の半導体リレー回路としては、例えば、次のようなものがあった。

【0003】図 2 は、従来の半導体リレー回路の回路図であり、この半導体リレー回路は、入力端子 7 A と 7 B

2

の間に接続された発光ダイオード 1 と、発光ダイオード 1 と光結合されたフォトダイオードアレイ 3 と、フォトダイオードアレイ 3 と並列的に接続された抵抗インピーダンス要素 11 と、出力端子 9 A にドレインが接続された出力用の MOS 電界効果型トランジスタ（以下、「MOSFET」と記す。）5 A と、出力端子 9 B にドレインが接続された出力用 MOSFET 5 B とから構成されている。また、出力用 MOSFET 5 A 及び 5 B のゲートは共にフォトダイオードアレイ 3 のアノード側に、ソースは共にフォトダイオードアレイ 3 のカソード側にそれぞれ接続されている。

【0004】上記構成により、入力端子 7 A と 7 B の間に入力電流が流れると、発光ダイオード 1 が光信号を発生し、この光信号によりフォトダイオードアレイ 3 の両端に光起電力が発生する。フォトダイオードアレイ 3 の両端に発生した光起電力は出力用 MOSFET 5 A 及び 5 B のゲート・ソース間に印加され、それによって、出力用 MOSFET 5 A 及び 5 B は ON 状態となる。一方、入力端子 7 A と 7 B の間の入力電流が遮断されると、フォトダイオードアレイ 3 による光起電力の発生は停止する。そして、出力用 MOSFET 5 A 及び 5 B のゲート・ソース間の静電容量に蓄積された電荷は、抵抗インピーダンス要素 11 を介して放電され、出力用 MOSFET 5 A 及び 5 B は OFF 状態となる。

【0005】この半導体リレー回路では、出力用 MOSFET 5 のゲート・ソース間の静電容量に蓄積された電荷を抵抗インピーダンス要素 11 を介して放電させることにより、出力用 MOSFET 5 を ON 状態から OFF 状態にしているが、その放電時間は CR 時定数で決まるために高速放電は不可能である。そのため、上記半導体リレー回路では高速動作を実現することはできない。

【0006】これに対して、高速放電を可能とする構成を有する半導体リレー回路としては、例えば、図 3 に示すものがある。なお、図 2 に示した従来例と同一構成部分には同一符号が付してある。

【0007】図 3 に示す半導体リレー回路は、図 2 に示した半導体リレー回路において、抵抗性インピーダンス要素 11 で構成される放電回路を、フォトダイオードアレイ 3 と並列的に接続された接合型電界効果トランジスタ（J-FET）13 と、接合型電界効果トランジスタ（J-FET）13 のゲート・ソース間に接続された抵抗性インピーダンス要素 11 とで構成される放電回路に置き換えたものである。

【0008】この半導体リレー回路では、フォトダイオードアレイ 3 の両端に発生した光起電力が出力用 MOSFET 5 A 及び 5 B のゲート・ソース間に印加される時には、同時に、接合型電界効果トランジスタ 13 のゲート・ソース間に逆バイアス電圧が加わるので、接合型電界効果トランジスタ 13 は瞬時に高インピーダンス状態となる。一方、出力用 MOSFET 5 A 及び 5 B のゲ

3

ト・ソース間の静電容量に蓄積された電荷を接合型電界効果トランジスタ13を介して放電させる時には、接合型電界効果トランジスタ13のゲート・ソース間は無バイアスとなるので、接合型電界効果トランジスタ13はON状態となる。

【0009】また、図4に示す半導体リレー回路でも高速放電を可能とすることができる。なお、図2に示した従来例と同一構成部分には同一符号が付してある。

【0010】図4に示す半導体リレー回路は、図2に示した半導体リレー回路において、抵抗性インピーダンス要素11で構成される放電回路を、フォトダイオードアレイ3と並列的に接続されたバイポーラ接合トランジスタ(BJT)15と、バイポーラ接合トランジスタ15のエミッタにアノードが、ベースにカソードが接続されたダイオード17と、バイポーラ接合トランジスタ15のベース・コレクタ間に接続された抵抗性インピーダンス要素11で構成される放電回路に置き換えた構成となっている。

【0011】この半導体リレー回路では、フォトダイオードアレイ3の両端に発生した光起電力が出力用MOSFET5A及び5Bのゲート・ソース間に印加される時には、バイポーラ接合トランジスタ15のベース・エミッタ間にON状態となる電圧がバイアスされることはないので、バイポーラ接合トランジスタ15はOFF状態となり、一方、出力用MOSFET5A及び5Bのゲート・ソース間の静電容量に蓄積された電荷を放電させる時には、バイポーラ接合トランジスタ15のベース・エミッタ間が順方向にバイアスされ、バイポーラ接合トランジスタ15はON状態となり、コレクタ・エミッタ間にはベース・エミッタ間に流れる電流の $h_{FE}$ (電流増幅率)倍の電流が流れることになる。

【0012】ここで、上述した図2、図3及び図4に示す半導体リレー回路を高周波信号の制御に用いる場合には、出力用MOSFET5A及び5Bの出力容量を小さくする必要がある。というのは、出力容量が大きいと出力用MOSFET5A及び5BがOFF状態であっても高周波成分が出力容量を介して流れてしまうからであるが、かかる低出力容量を実現することができる出力用MOSFETとして特開平5-21803号公報に記載されたものがある。

【0013】この出力用MOSFETでは、ゲートにダイオードを直列に接続することにより、ゲート・ソース間容量とダイオード容量の合計が、ゲート・ドレイン間容量に対して直列に入ることになり、その結果、出力容量の低減化を図ることができるようにしている。

【0014】従って、この記載された出力用MOSFETを上述した図2、図3及び図4の半導体リレー回路に用いた場合には、図5、図6及び図7に示すように出力用MOSFET5A及び5Bのゲートにダイオード19A、19B、21A及び21Bを接続した構成となる。

4

【0015】

【発明が解決しようとする課題】しかしながら、上記図5、図6及び図7に示す従来の半導体リレー回路には、次のような問題があった。

【0016】それは、上記図5、図6及び図7に示す半導体リレー回路では充放電ループ内にダイオード19A、19B、21A及び21Bがそれぞれ直列に接続されているので、出力用MOSFET5A及び5Bのゲート・ソース間に印加される電圧は、フォトダイオードアレイ3の光起電力より上記ダイオードによって生じる電圧降下分だけ低い電圧になってしまうのである。従って、上述した特開平5-21803号公報に記載された出力用MOSFETを用いない場合と同じ性能を得るためには、フォトダイオードアレイ3を構成するフォトダイオードの数を増やす必要があるが、このことは、チップ面積の増大を招くこととなり、ひいては大幅なコストアップを引き起こすことになる。また、ダイオード19A、19B、21A及び21Bという4個のダイオードを追加していること自体コストアップの原因となるものである。

【0017】本発明は上記事情に鑑みて成されたものであり、その目的は、コストアップを招くことのない高周波信号の制御に適した低出力容量型の半導体リレー回路を提供することである。

【0018】

【課題を解決するための手段】上記の目的を達成するために本発明は、入力信号により光信号を発生する発光ダイオードと、前記光信号を受光して光起電力を発生するフォトダイオードアレイと、前記フォトダイオードアレイのアノードにゲートが接続され、カソードにソースが接続された第1の出力用電界効果トランジスタと、前記フォトダイオードアレイのアノードにゲートが接続され、カソードにソースが接続された第2の出力用電界効果トランジスタと、前記第1の出力用電界効果トランジスタのゲートにエミッタが接続され、ソースにコレクタが接続された第1のpnp型バイポーラ接合トランジスタと、前記第2の出力用電界効果トランジスタのゲートにエミッタが接続され、ソースにコレクタが接続された第2のpnp型バイポーラ接合トランジスタと、前記第1のpnp型バイポーラ接合トランジスタ及び前記第2のpnp型バイポーラ接合トランジスタのベースと前記第1のpnp型バイポーラ接合トランジスタ及び前記第2のpnp型バイポーラ接合トランジスタのコレクタとの間に接続された抵抗性インピーダンス要素と、前記第1のpnp型バイポーラ接合トランジスタのベースにアノードが接続され、エミッタにカソードが接続された第1のダイオードと、前記第2のpnp型バイポーラ接合トランジスタのベースにアノードが接続され、エミッタにカソードが接続された第2のダイオードとを有することを特徴とする。

5

【0019】上記構成によれば、第1の出力用電界効果トランジスタ及び第2の出力用電界効果トランジスタそれぞれに対してバイポーラ接合トランジスタとダイオードの組み合わせを設けるようにしたので、機能的には上述した特開平5-21803号公報に記載された出力用MOSFETのようにゲートに直列にダイオードが接続されている構成を実現していることとなり、従来のように、新たに4個のダイオードを追加する必要はなく、従って、従来で問題となったコストアップを招くことはないのである。また、充放電ループ内に直列に接続されているダイオードも従来に比べて少ないので、上記ダイオードによって生じる電圧降下を小さくすることが可能となる。

【0020】ここで、具体的には、前記発光ダイオードを含む第1のチップと、前記前記フォトダイオードアレイ、前記第1のpnp型バイポーラ接合トランジスタ、前記第2のpnp型バイポーラ接合トランジスタ、前記抵抗性インピーダンス要素、前記第1のダイオード及び前記第2のダイオードを含む第2のチップと、前記第1の出力用電界効果トランジスタ及び前記第2の出力用電界効果トランジスタを含む第3のチップとから構成することが可能である。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。図1は、本発明の実施の形態に係る半導体リレー回路の回路図である。なお、図2に示した従来例と同一構成部分には同一符号が付してある。

【0022】図1において、本発明の実施の形態に係る半導体リレー回路は、入力端子7Aと7Bの間に接続された発光ダイオード1と、発光ダイオード1と光結合されたフォトダイオードアレイ3と、フォトダイオードアレイ3と並列的に接続されたバイポーラ接合トランジスタ23A及び23Bと、バイポーラ接合トランジスタ23Aのベースとコレクタの間に接続されると共にバイポーラ接合トランジスタ23Bのベースとコレクタの間に接続される抵抗性インピーダンス要素11と、バイポーラ接合トランジスタ23Aのベースとエミッタの間に接続されたダイオード19Aと、バイポーラ接合トランジスタ23Bのベースとエミッタの間に接続されたダイオード21Aと、出力端子9Aにドレインが接続された出力用MOSFET5Aと、出力端子9Bにドレインが接続された出力用MOSFET5Bとから構成されている。また、出力用MOSFET5及び5Bのゲートは共にフォトダイオードアレイ3のアノードに、ソースは共にフォトダイオードアレイ3のカソードにそれぞれ接続されている。

【0023】ここで、バイポーラ接合トランジスタ23A及び23Bとしては、通常のnpn型バイポーラ接合トランジスタが使用されている。

6

【0024】次に、この半導体リレー回路の動作について説明する。

【0025】入力端子7Aと7Bの間に入力電流が流れると、発光ダイオード1が光信号を発生し、この光信号によりフォトダイオードアレイ3の両端に光起電力が発生する。そして、フォトダイオードアレイ3の両端に発生した光起電力は出力用MOSFET5A及び5Bのゲート・ソース間に印加され、そのゲート・ソース間の充電を行う。

10 【0026】この時、ダイオード19Aによりバイポーラ接合トランジスタ23Aのエミッタ・ベース間は逆バイアス、抵抗性インピーダンス要素11によりコレクタ・ベース間は順バイアスとなり、同様に、ダイオード19Bによりバイポーラ接合トランジスタ23Bのエミッタ・ベース間は逆バイアス、抵抗性インピーダンス要素11によりコレクタ・ベース間は順バイアスとなるので、バイポーラ接合トランジスタ23A及び23BはOFF状態となる。従って、フォトダイオードアレイ3の両端に発生した光起電力による電流は、ノーマリ・オフ型駆動用トランジスタ15のコレクタ・エミッタ間を介して流れることはなく、その大部分は出力用MOSFET5A及び5Bのゲート・ソース間の静電容量を充電する電流となるので、出力用MOSFET5A及び5Bを短時間でON状態とすることができる。

【0027】一方、入力端子7Aと7Bの間の入力電流が遮断されると、フォトダイオードアレイ3による光起電力の発生は停止し、出力用MOSFET5A及び5Bのゲート・ソース間の静電容量に蓄積された電荷の放電が行われる。

30 【0028】この時、ダイオード19A及び抵抗性インピーダンス要素11によりバイポーラ接合トランジスタ23AがON状態となり、ダイオード19B及び抵抗性インピーダンス要素11によりバイポーラ接合トランジスタ23BがON状態となる。従って、出力用MOSFET5A及び5Bのゲート・ソース間の静電容量に蓄積された電荷は、バイポーラ接合トランジスタ23A及び23Bを介して速やかに放電されることになり、出力用MOSFET5A及び5Bを短時間でOFF状態とすることができる。

40 【0029】ここで、本実施の形態の特徴は、出力用MOSFET5A及び5Bそれぞれに対してバイポーラ接合トランジスタとダイオードの組み合わせを設けることにより、機能的には上述した特開平5-21803号公報に記載された出力用MOSFETのようにゲートにダイオードが接続されている構成を実現している点である。すなわち、バイポーラ接合トランジスタ23A及び23Bのエミッタ・ベース間には等価的にダイオード（ダイオード19C及び21C）が形成されるので、従来のように、新たに4個のダイオードを追加する必要はなく、従って、従来で問題となったコストアップを招く

50

ことはないのである。

【0030】また、本実施の形態に係る半導体リレー回路では、充放電ループ内に直列に接続されているダイオードはダイオード19Aと21Aだけであるので、図5、図6及び図7に示す従来の半導体リレー回路に比べて、上記ダイオードによって生じる電圧降下を小さくすることが可能となる。

#### 【0031】

【発明の効果】以上説明したように本発明によれば、コストアップを招くことのない高周波信号の制御に適した低出力容量型の半導体リレー回路を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体リレー回路の回路図である

【図2】従来の半導体リレー回路の回路図である。

【図3】従来の高速放電の可能な半導体リレー回路の回路図である。

【図4】従来の高速放電の可能な半導体リレー回路の他\*

\*の回路図である。

【図5】図2に示す半導体リレー回路を低出力容量型としたときの回路図である。

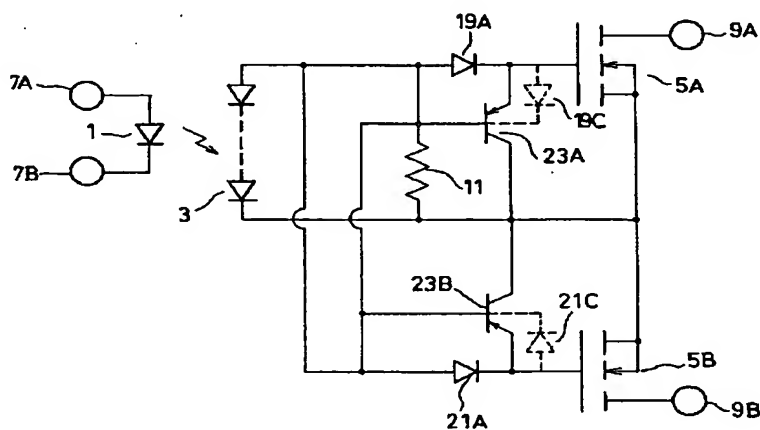
【図6】図3に示す半導体リレー回路を低出力容量型としたときの回路図である。

【図7】図4に示す半導体リレー回路を低出力容量型としたときの回路図である。

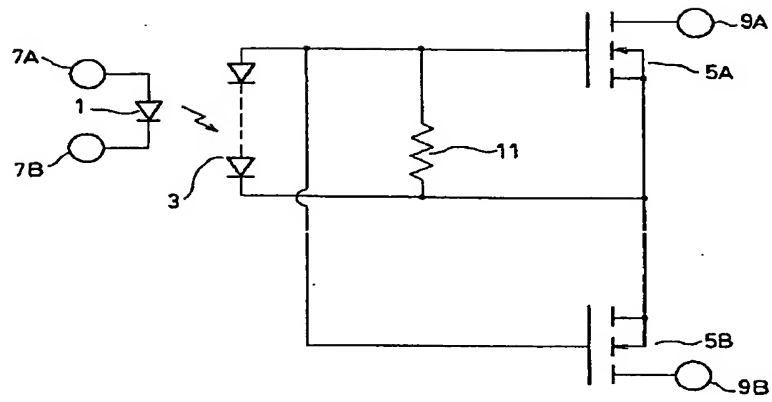
#### 【符号の説明】

- 1 発光ダイオード
- 3 フォトダイオードアレイ
- 5A、5B 出力用MOSFET
- 7A、7B 入力端子
- 9A、9B 出力端子
- 11 抵抗性インピーダンス要素
- 13 接合型電界効果トランジスタ (J-FET)
- 15 バイポーラ接合トランジスタ
- 17、19A、19B、19C、21A、21B、21C ダイオード
- 23A、23B pnp型バイポーラ接合トランジスタ

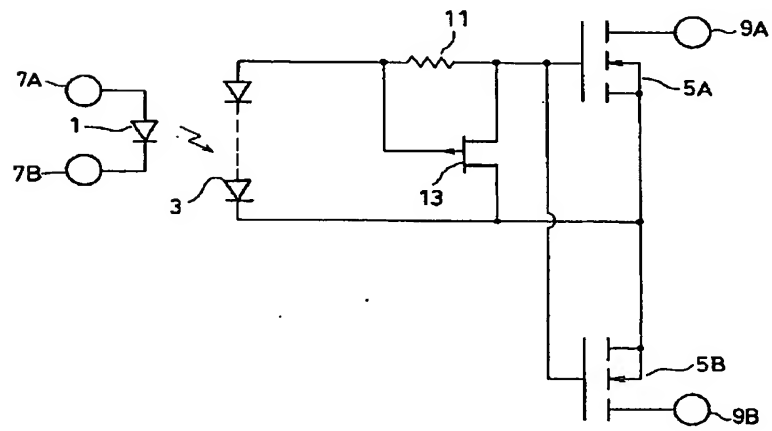
【図1】



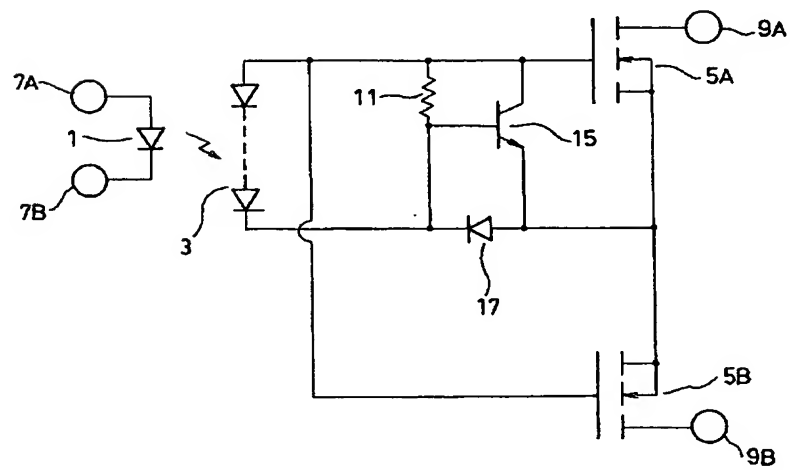
【図2】



【図3】

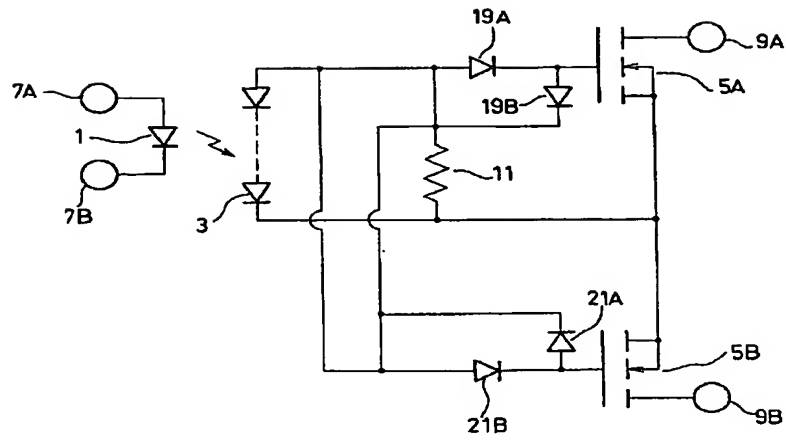


【図4】

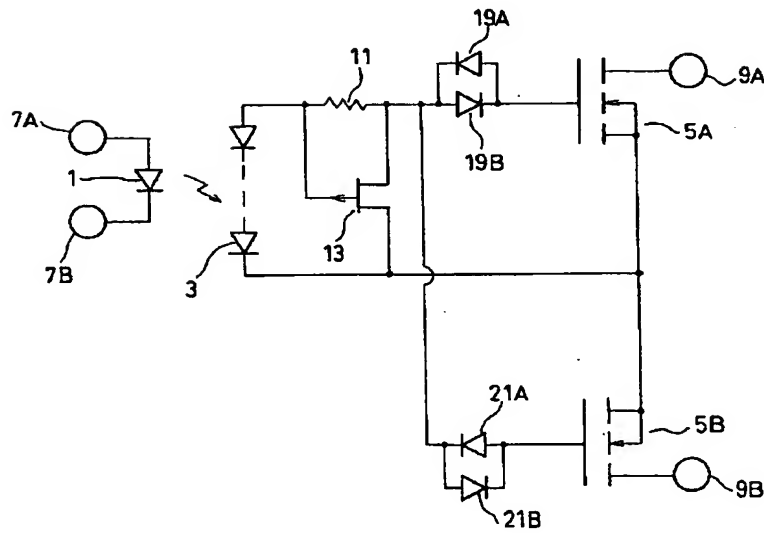




【図5】



【図6】



【図 7】

